

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-200120
 (43)Date of publication of application : 31.07.1998

(51)Int.CI. H01L 29/786
 H01L 21/336
 H01L 21/20
 H01L 21/304

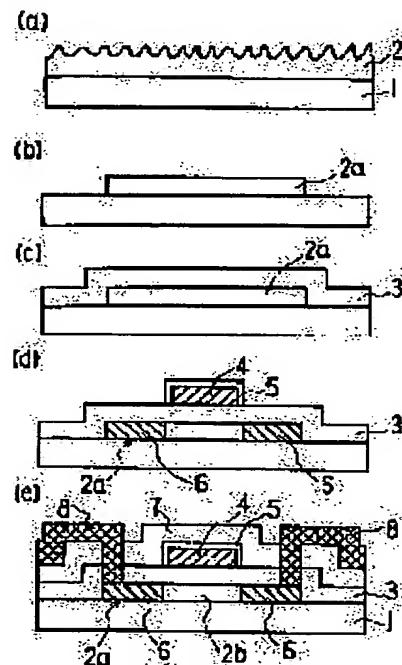
(21)Application number : 09-002717 (71)Applicant : SHARP CORP
 (22)Date of filing : 10.01.1997 (72)Inventor : SHIBUYA TSUKASA
 MOROSAWA NARIHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make a device strong against injection of hot electrons and reduce leakage current by providing the process where a surface irregularity of poly Si film is reduced with the polishing process after laser annealing.

SOLUTION: An amorphous Si film is formed by 100nm or less on an insulating substrate 1, then it is annealed to provide a poly Si film 2. Then, the poly Si film 2 crystallized by laser annealing is polished to flatten its surface. Here, the film thickness of the poly Si film is 30–50nm, while an average roughness of surface irregularity 1nm or b low. Then, the obtained poly Si film 2 is etched to form a desired island, with a poly Si film 2a, after polishing, formed. Thus, the electric field concentration on a poly Si surface is reduced by flattening the poly Si surface, making it strong against injection of hot electrons to a gate insulation film, so a leakage current is reduced for a TFT of high reliability.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP) (12) 公開特許公報 (A) (11) 特許出願公開番号 特開平10-200120

(43) 公開日 平成10年(1998)7月31日

(51) 国名/C ¹	発明記号	P1	(71) 出願人	000005049
H01L 29/786	H01L 29/78	627G	シャープ株式会社	
21/336	21/20		大阪府大阪市阿倍野区長柄町22番22号	
21/20	21/304	321S	(72) 発明者	松谷 司
21/304	29/78	618D	(72) 発明者	堀川 成浩
		627Z	(44) 代理人	井植士 梅田 雄
			(45) 現住所	大阪府大阪市阿倍野区長柄町22番22号 シャープ株式会社内

(22) 出願日 平成9年(1997)1月10日

(54) 【発明の名稱】 半導体装置の製造方法

(55) 【要約】 レーザー二ールによつて得られるポリS1膜は現面性が悪いため、裏面研磨によつて平坦性を向上させ、平坦化した後、アモルファスS1膜をチャネルに用いることで優れたTFT特性とキャリア注入のない信頼性の優れた半導体装置を得る。

【解決手段】 レーザー二ールによつて得られたポリS1膜は裏面が陥れられたため、基板への熱の影響が及ぼしにくくなり、基板の変形を起こすことなく、アモルファスS1膜を局部的に結晶化できるため、基板としてガラス基板のような低融点性基板を用いることがができる、この低融点性基板上に形成したアモルファスS1膜の結晶化が可能となる。

(56) 【発明の詳細な説明】

【請求項1】 毛織性基板上に形成したポリS1膜をチャネルとして用いる半導体装置の製造方法において、前記毛織性基板上にアモルファスS1膜を1.0 nm以下に形成する工程と、前記アモルファスS1膜をレーザー二ールによって多結晶化してポリS1膜をレーザー二ールによつて多結晶化する工程と、前記ポリS1膜の裏面凹凸を研磨処理により低減する工程と、前記裏面凹凸を特徴とする半導体装置の製造方法。

【請求項2】 前記裏面凹凸を低減したポリS1膜の膜厚を3.0 nm～5.0 nmにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記裏面凹凸を低減したポリS1膜の裏面の平均面粗さ(Ra)を1.0 nm以下にしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記裏面凹凸を低減したポリS1膜を用いて、研磨布を回転させて、ポリS1膜の裏面を化学的機械的研磨法によって、裏面が平坦なポリS1膜を得るものである。

【請求項5】 前記裏面凹凸を低減したポリS1膜を用いて、研磨布を回転させて、ポリS1膜の裏面を化学的機械的研磨法によって、裏面が平坦なポリS1膜を得るものである。

【請求項6】 前記裏面凹凸を低減したポリS1膜を用いて、研磨布を回転させて、ポリS1膜の裏面を化学的機械的研磨法によって、裏面が平坦なポリS1膜を得るものである。

【請求項7】 前記裏面凹凸を低減したポリS1膜を用いて、研磨布を回転させて、ポリS1膜の裏面を化学的機械的研磨法によって、裏面が平坦なポリS1膜を得るものである。

【請求項8】 本発明は、このような問題に鑑みされたものであり、レーザー二ールの後に研磨処理を行い、裏面凹凸を低減して向上させた半導体装置の製造方法及び裏面凹凸の低減によりサクレクトロロンの注入方向に分布を生じることになる。よって、ポリS1膜の裏面を化学的機械的研磨法によって、裏面が平坦なポリS1膜を得たとしても、ポリS1膜の結晶状態が悪く、これによりTFT特性を構成した場合、TFT特性が悪くなってしまうという問題があつた。

【請求項9】 本発明は、このような問題に鑑みされたものであり、レーザー二ールの後に研磨処理を行い、裏面凹凸を低減して向上させた半導体装置の製造方法及び裏面凹凸の低減によりサクレクトロロンの注入方向に分布を生じることになる。よって、ポリS1膜の裏面を化学的機械的研磨法によって、裏面が平坦なポリS1膜を得たとしても、ポリS1膜の結晶状態が悪く、これによりTFT特性を構成した場合、TFT特性が悪くなってしまうという問題があつた。

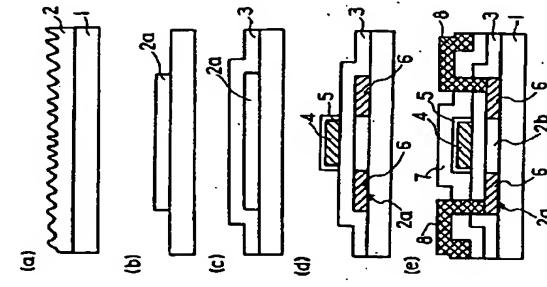
【請求項10】 本発明の前記用1記載の半導体装置の製造方法及び裏面凹凸を低減して向上させた半導体装置の製造方法を提供することを目的としている。

【請求項11】 本発明の前記用2記載の半導体装置の製造方法及び裏面凹凸を低減して向上させた半導体装置の製造方法を提供することを目的としている。

【請求項12】 本発明の前記用3記載の半導体装置の製造方法は、前記用1または2記載の半導体装置の製造方法であつて、前記裏面凹凸を低減したポリS1膜の裏面粗さを3.0 nm～5.0 nmにしたことを特徴としている。

【請求項13】 本発明の前記用4記載の半導体装置の製造方法は、前記用1または2記載の半導体装置の製造方法であつて、前記裏面凹凸を低減したポリS1膜の裏面粗さ(Ra)を1 nm以下にしたことを特徴としている。

【請求項14】 本発明の前記用5記載の半導体装置の製造方法は、前記用1または2記載の半導体装置の製造方法であつて、前記裏面凹凸を低減したポリS1膜の裏面粗さ(Ra)を1 nm以下にしたことを特徴としている。



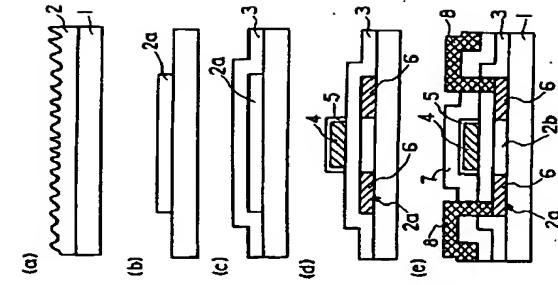
$$R_E = \frac{1}{S_1} \iint |F(X, Y) - Z_0| dX dY$$

(5) [図3] 本発明の実施の形態及び比較例により作製した
表面研磨前後のS系数の随厚依存性を示す説明図である。

【符号の説明】

- 1 絶縁性基板
- 2 ポリS1膜
- 3 研磨処理後のポリS1膜
- 4 ゲート電極
- 5 隣接部
- 6 ソース部
- 7 ドレイン部
- 8 引き出し電極

【図1】



[0038] ここで、S1は基準面の面相、Z0は基準面の高さ、F(X, Y)は電極(X, Y)における指定面の高さを表す。なお、平均面粗さ(Ra)は、原子間力顕微鏡(AFM)によって、1.0μm以下での測定エリニアに対して測定された値であれば、サブムオーダーまでの測定信頼性がある。

[0039] 図2によれば、ポリS1膜の表面凹凸を研磨したTFTは、ポリS1膜の表面凹凸の未研磨のTFTに比べて、S系数が低くなっている。特に、平均面粗さ(Ra)が1nm以下において、S系数が著しく低減していることがわかる。このことから、ポリS1膜の表面凹凸を研磨することにより、TFT特性を改善することができる。

[0040] 図3は、研磨前のポリS1膜の膜厚が2.0nm～1.0nm、平均面粗さ(Ra)が3nm～1.0nmの膜と、研磨後のポリS1膜の膜厚が2.0nm～1.0nm、平均面粗さ(Ra)を0.3nm程度にした時の膜厚とTFTのS系数の関係を示す。図3によれば、ポリS1膜の膜厚が3.0nm～5.0nmのTFTは、S系数が大きく低減していることがわかる。

[0041] このようにしてレーザーアニール後にポリS1膜の表面研磨を行ったTFT特性は、ポリS1膜の膜厚を3.0nm～5.0nmにすることにより、優れた特性和信頼性を備えたTFTを得ることができる。

[0042] さらに、表面研磨後の表面凹凸の平均面粗さ(Ra)は、1nm以下に平坦化されていることが好ましく、このことにより、一層優れた特性和信頼性を備えたTFTを得ることができる。

[0043] 本発明の実施の形態基板上にポリS1膜を厚さが3.0nm～5.0nmで形成し、前記ポリS1膜の表面凹凸の平均面粗さ(Ra)を1nm以下にし、前記ポリS1膜をチャネルとして半導体構造を構成したので、ポリS1膜は、絶縁性基板が平坦化されていたため、電子特性及び信頼性が優れた半導体装置を得ることができた。さらに、この半導体装置を適用した液晶表示装置においては、画素スイッチング特性の向上、周辺駆動回路を構成するTFTの高性能化及び高集積化を図ることができ、ドライモノリシック型の液晶表示装置においても高性能化ことができる。

【図面簡単な説明】

[0044] [図1] 本発明の実施の形態に係るチャネルポリS1膜及びTFTの製造方法を示す工程面図である。

[0045] [図2] 本発明の実施の形態及び比較例におけるS系数の表面凹凸依存性を表す説明図である。

[0046] また、前記表面凹凸を低減したポリS1膜

は、膜厚を3.0nm以上にすることにより、ソース側及びドレイン側の底抵抗が可能になり、膜厚を5.0nm以下にすることにより、レーザーアニールによる優れた結晶性を得ることができるので、ポリS1膜の膜厚は3.0nm～5.0nmにするのが好ましい。

[0047] また、前記表面凹凸を低減したポリS1膜は、表面凹凸の平均面粗さ(Ra)を1nm以下にしたので、TFTのS系数を著しく低減することができる。さらに、ゲート電圧の印加の際に、ポリS1膜側での電界集中を抑制し、ゲート絶縁膜へのホットエレクトロンの注入を抑制する効果が大きい。よって、TFTのON電圧を小さくでき、TFTのリーキを防止することができ。

[0048] また、絶縁性基板上に、アモルファスS1膜を1.0nm以下に形成するので、レーザーアニールによって、膜厚方向に対してでもグラインサイズが大きく均一に結晶化することができ、さらに、ポリS1膜の裏面を研磨処理により膜厚を3.0nm～5.0nmにし、表面凹凸の平均面粗さ(Ra)を1nm以下にするので、研磨処理後のポリS1表面の結晶状態も研磨前と同様にグラインサイズが大きく均一で優れており、よって、TFTの移動度を大きくすることができます。さらにポリS1表面が平坦化されるとともに、ゲート電圧側での電界集中により発生するホットエレクトロンのゲート絶縁膜への注入を抑制することができる。よって、リーキ電流の低減およびゲート絶縁膜の耐圧の低下を抑制し、信頼性の高いTFTを得ることができます。

[0049] また、絶縁性基板上に、ポリS1膜を厚さが3.0nm～5.0nmで形成し、前記ポリS1膜の表面凹凸の平均面粗さ(Ra)を1nm以下にし、前記ポリS1膜をチャネルとして半導体構造を構成したので、ポリS1膜は、絶縁性基板が平坦化されていたため、電子特性及び信頼性が優れた半導体装置を得ることができた。さらに、この半導体装置を適用した液晶表示装置においては、画素スイッチング特性の向上、周辺駆動回路を構成するTFTの高性能化及び高集積化を図ることができ、ドライモノリシック型の液晶表示装置においても高性能化ができる。

[0050] 本発明の実施の形態に係るチャネルポリS1膜及びTFTの製造方法を示す工程面図である。

[0051] 本発明の実施の形態におけるS系数の表面凹凸依存性を表す説明図である。

(6)

【図3】表面研磨前後のS系数の随厚依存性を表す説明図である。

表面研磨

研磨

(7)

[図3]

